

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keitaro IMAI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

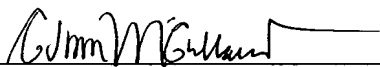
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-293902	October 7, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMIN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 9 3 9 0 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 9 3 9 0 2]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願

【整理番号】 A000106347

【提出日】 平成14年10月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 今井 馨太郎

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 山川 晃司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に設けられた導電性プラグと、
前記導電性プラグ上に設けられた炭化珪素膜と、
前記炭化珪素膜上に設けられ、金属炭化物を含む金属化合物膜と、
前記金属化合物膜上に設けられた電極と
を具備してなることを特徴とする半導体装置。

【請求項 2】

半導体基板上に設けられた導電性プラグと、
前記導電性プラグ上に設けられた炭化珪素膜と、
前記炭化珪素膜上に設けられ、金属炭化物を含む金属化合物膜と、
前記金属化合物膜上に設けられたキャパシタ下部電極と、
前記キャパシタ下部電極上に設けられた強誘電体材料または高誘電体材料を主成分とするキャパシタ誘電体膜と、
前記キャパシタ誘電体膜上に設けられたキャパシタ上部電極と
を具備してなることを特徴とする半導体装置。

【請求項 3】

前記導電性プラグは、前記半導体基板の表面に設けられたトランジスタの活性領域に電氣的に接続したものであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記金属炭化物は、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、またはタンタルの炭化物であることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記金属化合物膜は、前記金属炭化物を構成する金属と珪素との化合物をさらに含むことを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

半導体基板上に導電性プラグを形成する工程と、
前記導電性プラグの上面を覆う炭化珪素膜を形成する工程と、
前記炭化珪素膜上に第 1 の金属膜を形成する工程と、
前記第 1 の金属膜上に第 2 の金属膜を形成する工程と、
前記第 2 の金属膜上に強誘電体材料または高誘電体材料を主成分とする誘電体膜を形成する工程と、

酸化性雰囲気中での熱処理により、前記炭化珪素膜上に、前記第 1 の金属膜の構成金属と炭素との金属炭化物を含む金属化合物膜を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

前記第 1 の金属膜は、チタン膜、ジルコニウム膜、ハフニウム膜、バナジウム膜、ニオブ膜、またはタンタル膜であることを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 8】

前記金属化合物膜上に第 3 の金属膜を形成する工程と、前記第 3 の金属膜、前記金属化合物膜、前記誘電体膜、前記第 2 の金属膜および前記炭化珪素膜をエッチングにより加工する工程と、酸化性雰囲気中での熱処理を行う工程とをさらに含むことを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】

前記誘電体膜はキャパシタ誘電体膜、前記第 2 および第 3 の金属膜はそれぞれキャパシタ下部電極およびキャパシタ上部電極であることを特徴とする請求項 6 ないし 8 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置およびその製造方法に係わり、特に強誘電体材料または高誘電体材料を用いたキャパシタとその下に形成されたプラグとの接続部分の改良を図った半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリの開発が進んでいる。強誘電体メモリのセルを微細化し、大容量化するためには、COP (Capacitor On Plug) 構造が必須であると考えられている。

【0003】

図15に、従来のCOP構造を示す。図中、81はシリコン基板、82はMOSトランジスタのソース／ドレイン拡散層、83はシリコン酸化膜、84はシリコン窒化膜、85はタングステン (W) または多結晶シリコンからなるプラグ、86は白金 (Pt) からなるキャパシタ下部電極、87はPZT ($\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$) 膜 (キャパシタ誘電体膜)、88はPtからなるキャパシタ上部電極をそれぞれ示している。

【0004】

COP構造では、MOSトランジスタのソース／ドレイン拡散層82に接続されたプラグ85上にキャパシタが配置され、DRAMのスタックトキャパシタの場合と同様にセルサイズを小さくすることができる。

【0005】

この種のCOP構造のプロセスにおいては、プラグ85を形成した後に、酸化性雰囲気下での熱処理が複数回行われる。その一つとして、アモルファスの形で形成されたPZT膜87を結晶化するための600℃程度以上の高温の熱処理がある。PZT膜87を結晶化する理由は、PZT等の強誘電体材料は、アモルファスの状態では強誘電性を発現しないからである。

【0006】

プラグ85の形成後の酸化性雰囲気下での熱処理としては、その他に、キャパシタのインテグレーションプロセスにおけるRIE (Reactive Ion Etching) 加工により生じたキャパシタのダメージ、すなわち全面に形成したPZT膜をRIE加工してPZT膜87を形成したときにPZT膜87に生じたダメージを回復するためや、RIE加工用の SiO_2 ハードマスクをCVD成膜する工程、層間絶縁膜をCVDにて形成する時の還元性雰囲気、プラズマによるダメージを回復

するための熱処理がある。

【0007】

これらのPZT膜87の結晶化やダメージ回復のための熱処理を酸化性雰囲気下で行う理由は、熱処理に伴うPZT膜87の酸素欠損の発生を抑制するためである。

【0008】

ここで、キャパシタ下部電極86の材料であるPtは酸素バリア性がない。そのため、上記酸化性雰囲気下での熱処理において、プラグ85の材料としてWを用いた場合、キャパシタ下部電極86を浸透した酸素によってプラグ85が酸化され、W酸化物が形成される。これによりプラグ85とキャパシタ下部電極86との間のコンタクトが不良となったり、あるいはプラグ85の体積膨張によってプラグ構造そのものが破壊され、キャパシタが剥がれてしまう。一方、プラグ85の材料として多結晶Siを用いた場合にはSi酸化物が形成されるため、同様にコンタクト不良が発生する。

【0009】

そこで、TiAlN、TiNまたはTaSiN等からなるバリア層でプラグ85の酸化を防止することが提案されている。しかし、この種のバリア層は膜厚が100nm程度以上となり、微細化を妨げる要因となる。

【0010】

このような問題は、プラグを形成した後にキャパシタを形成するというプロセスをとる、Ta₂O₅、(Ba, Sr)TiO₃等の高誘電体材料をキャパシタ誘電体膜に使用したスタック型DRAMにも存在する。

【0011】

【発明が解決しようとする課題】

上述の如く、強誘電体メモリのセルを微細化し、大容量化するためには、COP構造が必須であると考えられている。COP構造のプロセスにおいては、強誘電体材料からなるキャパシタ誘電体膜の結晶化やダメージ回復を目的とした酸化性雰囲気下での熱処理が行われる。しかし、この種の熱処理によってプラグが酸化されてコンタクト不良が発生する。このようなコンタクト不良を防止するため

に、TiAlN、TiNまたはTaSiN等からなるバリア層でプラグの酸化を防止することが提案されているが、この種のバリア層は厚いため、微細化を妨げる要因となる。

【0012】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、導電性プラグ／電極構造を形成した後、酸化性雰囲気下での熱処理を必要とする場合における上記導電性プラグの酸化を、微細化の妨げを招かずに、効果的に防止できる半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に設けられた導電性プラグと、前記導電性プラグ上に設けられた炭化珪素膜と、前記炭化珪素膜上に設けられ、金属炭化物を含む金属化合物膜と、前記金属化合物膜上に設けられた電極とを備えていることを特徴とする。

【0014】

また、本発明に係る他の半導体装置は、半導体基板上に設けられた導電性プラグと、前記導電性プラグ上に設けられた炭化珪素膜と、前記炭化珪素膜上に設けられ、金属炭化物を含む金属化合物膜と、前記金属化合物膜上に設けられたキャパシタ下部電極と、前記キャパシタ下部電極上に設けられた強誘電体材料または高誘電体材料を主成分とするキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に設けられたキャパシタ上部電極とを備えていることを特徴とする。

【0015】

本発明に係る半導体装置の製造方法は、半導体基板上に導電性プラグを形成する工程と、前記導電性プラグの上面を覆う炭化珪素膜を形成する工程と、前記炭化珪素膜上に第1の金属膜を形成する工程と、前記第1の金属膜上に第2の金属膜を形成する工程と、前記第2の金属膜上に強誘電体材料または高誘電体材料を主成分とする誘電体膜を形成する工程と、酸化性雰囲気中での熱処理により、前

記炭化珪素膜上に、前記第 1 の金属膜の構成金属と炭素との金属炭化物を含む金属化合物膜を形成する工程とを有することを特徴とする。

【0 0 1 6】

本発明によれば、薄くても高い酸素拡散抑止効果を有する、炭化珪素膜と金属炭化物を含む金属化合物膜との積層膜を、導電性プラグのバリア層として使用することにより、導電性プラグ／電極構造を形成した後、酸化性雰囲気下での熱処理を必要とする場合における上記導電性プラグの酸化を、微細化の妨げを招かずに、効果的に防止することができる。

【0 0 1 7】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0 0 1 8】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

【0 0 1 9】

（第 1 の実施形態）

図 1 ～図 5 は、本発明の第 1 の実施形態に係る C O P 型 F e R A M セルの製造工程を示す断面図である。

【0 0 2 0】

本実施形態では、キャパシタ下に W プラグが設けられ、W プラグとキャパシタ下部電極（イリジウム膜）との間に、薄い炭化珪素膜と薄い窒化チタン膜との積層膜（バリア層）が設けられた C O P 型 F e R A M セルについて説明する。

【0 0 2 1】

まず、図 1（a）に示すように、p 型シリコン基板 1 の表面に浅い溝 2 を形成し、続いて溝 2 内に S i O₂ 膜等の絶縁膜 3 を埋め込むことで、S T I（Shallow Trench Isolation）による素子分離を行う。

【0 0 2 2】

次に、図 1（b）に示すように、スイッチ動作を行うための MOS トランジスタ 4 を形成する。MOS トランジスタ 4 は、例えば以下のプロセスにより形成す

る。

【0023】

まず、p型シリコン基板1の露出表面に厚さ6nm程度の薄いシリコン酸化膜（ゲート絶縁膜）5を例えば熱酸化により形成し、次に、砒素をドーピングした高不純物濃度のn型多結晶シリコン膜6を全面に形成し、続いて、n型多結晶シリコン膜6上にタンゲステンシリサイド膜7、シリコン窒化膜（ゲート上部絶縁膜）8を順次形成する。しかる後、シリコン窒化膜8、タンゲステンシリサイド膜7およびn型多結晶シリコン膜6を通常の光フォトリソグラフィとRIEとにより加工し、ゲート電極9を形成する。

【0024】

次に、ゲート上部絶縁膜8をマスクにしてn型不純物を基板表面にイオン注入し、続いてn型不純物の活性化アニールを行って、エクステンション（浅いソース／ドレイン拡散層）10を形成する。なお、上記活性化アニールは、次工程のソース／ドレイン拡散層12を形成するときの活性化アニールで代用することで省くことが可能である。

【0025】

次に、ゲート側壁絶縁膜（スペーサ）11となるシリコン窒化膜をゲート電極9の側面を覆うように全面に形成し、続いてRIEプロセスにより上記シリコン窒化膜の全面をエッチングし、ゲート電極9の側壁にゲート側壁絶縁膜11を形成する。そして、ゲート側壁絶縁膜11およびゲート上部絶縁膜8をマスクにしてn型不純物を基板表面にイオン注入し、続いてn型不純物の活性化アニールを行って、ソース／ドレイン拡散層12を形成することで、MOSトランジスタ4が得られる。

【0026】

次に、CVDプロセスによりシリコン酸化膜を全面に形成し、続いてCMPプロセスにより上記シリコン酸化膜を研磨することにより、図1（c）に示すように、表面が平坦なシリコン酸化膜13を形成し、その後キャパシタに接続されない方のソース／ドレイン拡散層12に達するコンタクトホール14をシリコン酸化膜13に開口する。

【0027】

次に、図2（d）に示すように、コンタクトホール14内に窒化チタン膜15を介してWプラグ16を埋め込み形成する。窒化チタン膜15、Wプラグ16の具体的な形成方法は以下の通りである。

【0028】

まず、コンタクトホール14の側面および底面を覆うように薄いチタン膜（不図示）をスパッタまたはCVDプロセスにより形成し、次に、窒素を含むフォーミングガス中で熱処理を行うことにより、上記チタン膜をコンタクトホール14の側面および底面を覆う窒化チタン膜に変え、続いてコンタクトホール14の内部を埋め込むように、CVDプロセスによりW膜を全面に形成し、そしてコンタクトホール14の外部の不要な上記窒化チタン膜および上記W膜を例えばCMPプロセスにより除去して、窒化チタン膜15、Wプラグ16からなるプラグ構造が得られる。

【0029】

次に、図2（e）に示すように、CVDプロセスによりシリコン窒化膜17を全面に形成し、続いてキャパシタに接続される方のソース／ドレイン拡散層12に達するコンタクトホール18をシリコン窒化膜17、シリコン酸化膜13に開口する。

【0030】

その後、図2（e）に示すように、図1（d）の工程と同様に、コンタクトホール18内に窒化チタン膜19を介してWプラグ20を埋め込み形成する。窒化チタン膜19、Wプラグ20の具体的な形成方法は、窒化チタン膜15、Wプラグ16のそれと同様である。

【0031】

次に、図3（f）に示すように、スパッタプロセスにより厚さ10nm以下の薄い炭化珪素膜（SiC膜）21を全面に形成し、続いて厚さ2.5nm程度の薄いチタン膜22、キャパシタ下部電極となる厚さ30nmのイリジウム膜23および厚さ20nmの第一の白金膜24、そしてキャパシタ誘電体膜となるPZT膜25をそれぞれスパッタプロセスによりSiC膜21上に順次形成する。こ

の段階での P Z T 膜 2 5 の膜構造はアモルファスである。

【 0 0 3 2 】

チタン膜 2 2 の代わりに、ジルコニウム膜、ハフニウム膜、バナジウム膜、ニオブ膜、またはタンタル膜を形成しても構わない。また、C V D プロセスにより S i C 膜 2 1、チタン膜 2 2 を形成しても構わない。上記ジルコニウム膜等の成膜に関してもスパッタプロセス、C V D プロセスのいずれでも構わない。一般には、比較的平坦なキャパシタ構造を有する場合には、スパッタプロセスでの対応が可能であるが、微細化が進み立体形状を取り入れた場合には C V D プロセスの方が適しているといえる。なお、S i C 膜 2 1、チタン膜 2 2 等の成膜は、スパッタプロセス、C V D プロセスに限定されるものではなく、適宜他の方法を用いることができる。

【 0 0 3 3 】

その後、酸素雰囲気中での 6 0 0 ℃ 程度の急速加熱処理（R T A : Rapid Thermal Anneal）により P Z T 膜 2 5 の結晶化を行う。このとき、S i C 膜 2 1 とチタン膜 2 2 とが反応し、図 3（g）に示すように、S i C 膜 2 1 の表面上には、チタン炭化物およびチタンシリサイドを含む層（以下、T i C / T i S i 層という。）2 6 が形成される。チタン膜 2 2 の代わりに、ジルコニウム膜、ハフニウム膜、バナジウム膜、ニオブ膜、またはタンタル膜を形成した場合には、ジルコニウム、ハフニウム、バナジウム、ニオブ、またはタンタルの炭化物を含む層、または上記炭化物に加えて、上記金属と炭素の化合物を含む層が形成される。

【 0 0 3 4 】

ここで、S i C 膜 2 1 と T i C / T i S i 層 2 6 との積層膜（バリア層）の厚さは、S i C 膜 2 1 と T i 膜 2 2 との合計膜厚程度なので、十数 n m 程度以下となる。すなわち、本実施形態のバリア層は、従来のバリア層（1 0 0 n m 以上）に比べてはるかに薄い。これにより、キャパシタを凸部とする段差を十分に小さくでき、上記凸部を含む領域上にフォトレジストパターンを形成するときの、フォトリソグラフィ工程時に要求される焦点深度が緩和されるという効果が得られる。また、R I E 工程によりキャパシタを形成する際に容易に加工できる。

【 0 0 3 5 】

なお、チタン膜 22 を形成した後、上記 R T A の前に、不活性ガスまたは真空中で 500℃ 以上のアニールを行い、T i C / T i S i 層 26 を形成しても構わない。

【0036】

また、図 3 (g) には、チタン膜 22 が上記反応によって全て消費されて消滅した様子が示されているが、チタン膜 22 を厚く形成し、チタン膜 22 が残存するようにしても構わない。この場合、T i C / T i S i 層 26 は、S i C 膜 22 とチタン膜 22 との間に挟まれた形で形成されることになる。チタン膜 22 を残した場合には、チタン膜 22 が密着層となって、S i C 膜 22 と P Z T 膜 25 との間の密着性を改善できるという効果が得られる。

【0037】

上記酸素雰囲気中での R T A において、雰囲気中の一部の酸素は P Z T 膜 25 を拡散してキャパシタ下部電極（イリジウム膜 23、第一の白金膜 24）にも達するが、イリジウム膜 23 自体ある程度の酸素拡散抑止効果があることに加えて、S i C 膜 21 と T i C / T i S i 層 26 との積層膜の酸素拡散抑止効果（バリア性）が高いため、キャパシタ下部電極の下にある W プラグ 20 が酸化されることはない。

【0038】

一方、W プラグ 16 は、S i C 膜 21 と T i C / T i S i 層 26 との積層膜に加えて、シリコン窒化膜 17 によっても覆われているので、当然に酸化されない。

【0039】

さらに、S i C 膜 21 と T i C / T i S i 層 26 との積層膜は、その上のキャパシタ下部電極（イリジウム膜 23、第一の白金膜 24）や、下地の W プラグ 20 に反応することはない。

【0040】

したがって、S i C 膜 21 と T i C / T i S i 層 26 との積層膜は、図 3 (g) のキャパシタ製造工程に伴う酸素雰囲気中での R T A において、何ら障害をもたらすことはない。すなわち、酸素欠損が無く、十分に結晶化された、特性の優

れた P Z T 膜 2 5 を得るために、酸素雰囲気下で高温の R T A を行っても、P Z T 膜 2 5 と W プラグ 2 0 との間の熱安定性は保たれる。

【0041】

ここで、S i C は半導体であるため、その抵抗値は構造、形成方法、ドーピング有無などによっても大きく異なってくる。代表的な結晶構造である β -S i C の抵抗率の値は $10^{-7} \times 10^{-6} \Omega \text{ cm}$ とされ、一般的な金属に比べると高い値であるが、十分な導電性を持っている。そのため、本実施形態のように薄い S i C 膜 2 1 を使用すれば、キャパシタ／プラグ間を電氣的に接続する点で問題となることはない。

【0042】

例えば、S i C 膜 2 1 の膜厚が 50 nm、コンタクトホール 1 8 が $0.1 \mu \text{m}$ 角の場合、S i C 膜 2 1 の抵抗値はわずか 5.35Ω である。この抵抗値に S i C 膜 2 1 がいないときのキャパシタ／プラグ間のコンタクト抵抗（一般には $10 \text{ k} \Omega$ 以上）を加えたものがほぼ実際のコンタクト抵抗となるが、 5.35Ω という値は $10 \text{ k} \Omega$ に比べて十分に小さい。したがって、S i C 膜 2 1 を用いてもコンタクト抵抗の上昇は問題とならない。

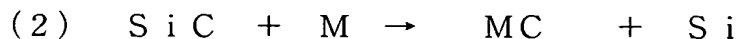
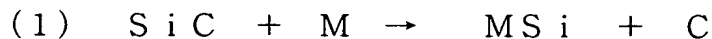
【0043】

以下、本発明の動機付けとなった S i C 膜と金属炭化物を含む膜との積層膜についての検討結果について説明する。

【0044】

熱処理による S i C と金属材料 (M) との反応性は一般的には低いが、金属材料によっては主として以下の (1) または (2) の反応が生じる場合がある。

【0045】



あるいは、これらの両方の反応が生じる。どのような反応が起こるかは、反応に伴うギブス自由エネルギーが極小になるように進むが、それは材料固有の物性であるため一般的な指針はない。

【0046】

しかし、本発明者等は、所定の材料、具体的には、タングステン、白金、ルテニウム、イリジウム、 SrRuO_3 等の金属に関しては、通常のキャパシタプロセス温度（キャパシタ誘電体膜の結晶化に必要な温度）では上記反応は生じないことを確認している。また、 SiC と Si との反応も通常のキャパシタプロセス温度では生じないことを確認している。

【0047】

一方、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル等の金属からなる金属膜については上記反応の少なくとも（2）の反応が生じ、これらの金属膜と SiC 膜とが接した状態で熱処理を行った場合、金属炭化物膜が形成されることを確認している。

【0048】

上記金属炭化物膜の結晶構造は、金属原子間に炭素原子が侵入する形を取るため、外部からの異種元素の拡散を抑制する効果が大きくなる。

【0049】

したがって、 SiC 膜とそれとの反応によって生じた金属炭化物膜との二層膜は、単層の SiC 膜の場合よりも更に拡散阻止効果が高まる。すなわち、酸素雰囲気での熱処理時における酸素の透過の防止効果は一層高まることになり、加えて相互拡散の防止効果も同様に高まる。

【0050】

また、金属炭化物膜自体が金属導電性を保持しているため、 SiC 膜と金属炭化物膜との二層膜をプラグ等のコンタクト部分に用いることにより、単層の SiC 膜を用いた場合に比べて、コンタクト抵抗を低減することもできる。

【0051】

図6に、Wプラグ上に厚さ7nmの SiC 膜と厚さ2.5nmのチタン膜との積層膜を形成した後、該積層膜上に厚さ50nmの白金膜を堆積して得られた試料（ W/SiC/Ti/Pt 構造）に、650℃、1時間の酸素アニールを施した後の断面SEM写真を示す。図6から、酸素は白金膜中を容易に拡散することが良く知られているが、それにもかかわらず、Wプラグは全く酸化されていないことが分かる。これは、 SiC 膜とチタン膜とが反応して TiC/TiSi 層が

S i C 層の表面に形成され、酸素拡散抑制効果の高い S i C 膜と T i C / T i S i 層との積層膜が形成されたからである。

【0052】

本実施形態の C O P 型 F e R A M セルのプロセスに戻ると、前述した図 3 (g) の工程後、図 4 (h) に示すように、P Z T 膜 2 5 上にキャパシタ上部電極となる第二の白金膜 2 7 をスパッタプロセスにより形成し、続いて第二の白金膜 2 7 上にシリコン酸化膜からなる絶縁膜マスク 2 8 を形成する。

【0053】

絶縁膜マスク 2 8 は以下のプロセスにより形成される。まず、第二の白金膜 2 7 上にシリコン酸化膜を形成し、次に、該シリコン酸化膜上にフォトリソグラフィ等によりレジストマスクを形成し、そして、該レジストマスクをマスクにして上記シリコン酸化膜を R I E プロセスによりエッチングすることで絶縁膜マスク 2 8 が得られる。その後、上記レジストを剥離して、図 4 (h) に示した断面構造が得られる。

【0054】

次に、図 4 (i) に示すように、絶縁膜マスク 2 8 をマスクにして第二の白金膜 2 7、P Z T 膜 2 5 を R I E プロセスによりエッチングして、第二の白金膜 2 7 からなるキャパシタ上部電極、P Z T 膜 2 5 からなるキャパシタ誘電体膜を形成する。その後、絶縁膜マスク 2 8 を除去する。

【0055】

次に、図 5 (j) に示すように、第二の白金膜 2 7、P Z T 膜 2 5 を覆うレジストマスク (不図示) を第一の白金膜 2 4 上に形成し、続いて該レジストマスクをマスクにして第一の白金膜 2 4、イリジウム膜 2 3 を R I E プロセスによりエッチングすることでイリジウム膜 2 3 と第一の白金膜 2 4 とからなるキャパシタ下部電極が得られ、そして上記 R I E プロセスによるエッチングをさらに進め、T i C / T i S i 層 2 6、S i C 膜 2 1 を加工することで、キャパシタが得られる。

【0056】

次に、図 5 (k) に示すように、C V D プロセスによりシリコン酸化膜 2 9 を

全面に形成し、続いて図4 (i) の工程のRIEプロセスによるエッチングおよび SiO_2 絶縁膜形成時にPZT膜25に生じたダメージを除去するために、酸素雰囲気下で600℃程度の熱処理を行う。

【0057】

ここで、上記酸化性雰囲気下での熱処理においては、酸素はキャパシタ内にも浸透しダメージ回復に寄与する一方、一部はキャパシタ下部電極（イリジウム膜23、第一の白金膜24）にも達するが、イリジウム膜23自体ある程度の酸素拡散抑止効果があることに加えて、 SiC 膜21と TiC/TiSi 層26との積層膜の酸素拡散抑止効果が高いため、キャパシタ下部電極の下にあるWプラグ20は酸化されない。

【0058】

SiC は融点が2000℃以上で熱的に極めて安定であるとともに、酸素透過性が極めて低い材料である。そのため、本実施形態のように SiC 膜21をWプラグ16（金属プラグ）上に配置することによって、Wプラグ16の形成後に行われる、上記ダメージ除去を目的とした酸化性雰囲気下での熱処理を含む複数回の酸化性雰囲気下での熱処理の工程においても、 SiC 膜21自体は変化を受けず、Wプラグ16の酸化を極めて効率よく防止することができる。

【0059】

また、 SiC 膜21と TiC/TiSi 層26との積層膜は、その上下にある膜23、24、20の構成材料と反応することはない。したがって、 SiC 膜21と TiC/TiSi 層26との積層膜は、図5 (k) のキャパシタ製造工程に伴う酸素中熱処理において、何ら障害をもたらすことはなく、PZT膜25とWプラグ20との間の熱安定性は保たれる。

【0060】

一方、Wプラグ16は、 SiC 膜21と TiC/TiSi 層26の積層膜に加えて、シリコン窒化膜17によっても覆われているので、当然に酸化されない。

【0061】

この後、図には示さないが、周知の工程、すなわちMOSトランジスタのソース/ドレイン拡散層12の他方に連通するコンタクトの形成工程、ドライブ線の

形成工程、ビット線の形成工程、上層メタル配線の配線工程を経て、FeRAMセルが完成することになる。

【0062】

上記周知の工程、例えばコンタクトの形成工程においては、エッチング領域を除く、キャパシタを凸部とする段差を含む被エッチング領域をレジスト（エッチングマスク）で覆う必要がある。このとき、上述したように、本実施形態によれば、キャパシタを凸部とする段差は十分に小さいので、フォトリソグラフィ工程を容易に精度高く行え、その結果として上記レジストを容易に正確に形成することができる。

【0063】

以上述べたように本実施形態によれば、バリア層として酸素拡散抑制効果の高いSiC膜21とTiC/TiSi層26との積層膜を使用することにより、バリア層の薄膜化を図れるとともに、PZT膜25の結晶化やダメージ回復等を目的とした酸素雰囲気下での高温の熱処理による、Wプラグ20の酸化等を効果的に防止でき、これにより特性・信頼性の高いCOP型FeRAMセルを備えたFeRAMを実現することが可能となる。

【0064】

なお、本実施形態では、SiC膜21上にチタン膜22を形成しているが、チタン膜22の代わりに、例えばジルコニウム膜、ハフニウム膜、バナジウム膜、ニオブ膜、またはタンタル膜も用いることが可能である。

【0065】

また、本実施形態では、キャパシタ誘電体膜の材料としてPZT、キャパシタ上部電極・下部電極の材料には白金やイリジウムを用いているが、このような材料に限定されることはない。

【0066】

例えば、キャパシタ誘電体膜の材料として、SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) やBIT ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$) などの強誘電体を用いることも可能である。

【0067】

ここで、SBTの結晶化温度は750℃程度であり、PZTの結晶化温度（6

00℃程度)よりも高いことから、SBTを用いる場合には、より高温の酸化性雰囲気下での熱処理が必要となる。そのため、キャパシタ直下のプラグ(ここではWプラグ20)の酸化の問題はより深刻なる。しかし、本実施形態によれば、PZTより高温の熱処理が必要となる強誘電体を用いる場合に対しても、同様の効果が期待できる。

【0068】

一方、キャパシタ上部電極・下部電極の材料としては、ルテニウム、またはストロンチウムルテニウム酸化物(SrRuO_3)のような化合物導電体も使用することが可能である。

【0069】

また、本実施形態では、バリア層としてSiC膜21とTiC/TiSi層26との積層膜を使用した。TiC/TiSi層26の代わりに、チタンシリサイドを含まない、炭化チタン(TiC)を主成分とする金属炭化物膜を使用しても構わない。すなわち、SiC膜と金属炭化物膜との積層膜でも構わない。

【0070】

(第2の実施形態)

図7～図9は、本発明の第2の実施形態に係るCOP型FeRAMセルの製造工程を示す断面図である。なお、図1～図5と対応する部分には図1～図5と同一符号を付してあり、詳細な説明は省略する。

【0071】

本実施形態が第1の実施形態と異なる主たる点は、キャパシタ下に多結晶シリコンプラグが設けられ、キャパシタ下部および上部電極に SrRuO_3 膜が用いられていることにある。

【0072】

まず、第1の実施形態と同様に、図1(a)～図1(c)の工程を行い、続いて図7(a)に示すように、コンタクトホール14内に砒素がドーパされた多結晶シリコン膜からなる多結晶シリコンプラグ30を形成し、さらに多結晶シリコンプラグ30上にチタンシリサイド膜31を形成し、コンタクトホール14内を多結晶シリコンプラグ30とチタンシリサイド膜31で埋め込む。

【0073】

多結晶シリコンプラグ30、チタンシリサイド膜31の具体的な形成方法は以下の通りである。

【0074】

まず、コンタクトホール14の内部を埋め込むように、CVDプロセスにより多結晶シリコン膜を全面に形成し、そしてコンタクトホール14の外部の不要な多結晶シリコン膜を除去して、コンタクトホール14を多結晶シリコン膜からなる多結晶シリコンプラグ30で埋め込む。次に、CVDプロセスによりチタン膜（不図示）を全面に形成し、その後、熱処理によりチタン膜と多結晶シリコンプラグ30の上部とを反応させ、多結晶シリコンプラグ30の上部をチタンシリサイド膜31に変える。そして、未反応のチタン膜を除去して、図7（a）に示した断面構造が得られる。

【0075】

次に、図7（b）に示すように、CVDプロセスにより、シリコン窒化膜17、シリコン酸化膜32を全面に順次形成し、続いてキャパシタに接続される方のソース／ドレイン拡散層12に達するコンタクトホール18を、シリコン酸化膜32、シリコン窒化膜17、シリコン酸化膜13に開口する。その後、多結晶シリコンプラグ30と同様のプロセスにより、コンタクトホール18内を多結晶シリコンプラグ33で埋め込む。

【0076】

次に、図7（b）に示すように、スパッタプロセスにより、厚さ2.5nm程度のチタン膜34、厚さ10nmのSiC膜21、厚さ2.5nm程度のチタン膜22を全面に順次形成する。

【0077】

次に、不活性ガスまたは真空中で500℃以上のアニールを行い、SiC膜21とチタン膜22とを反応させ、図7（c）に示すように、TiC／TiSi層26を形成する。

【0078】

このとき、多結晶シリコンプラグ33に接した部分のチタン膜34はチタンシ

リサイド膜 35 に変わり、残りの部分は $Ti/TiSi$ 層 26' に変わる。 $Ti/TiSi$ 層 26' と SiC 膜 21 と $Ti/TiSi$ 層 26 との積層膜（バリア層）の合計膜厚は 15 nm 程度となり、従来のバリア層の膜厚（100 nm）に比べて十分に小さい。なお、チタン膜 34 を厚く形成し、チタン膜 34 の一部が残るようにしても構わない。この場合、残ったチタン膜 34 が多結晶シリコンプラグ 33 と後で形成する PZT 膜 25 との密着性を高める役割を果たす。

【0079】

次に、図 8（d）に示すように、 $TiC/TiSi$ 層 26 上にキャパシタ下部電極となる第一の $SrRuO_3$ 膜 36（膜構造はアモルファス）をスパッタプロセスにより形成し、続いて 600℃ の RTA を行い、 $SrRuO_3$ 膜 36 を結晶化させ、電極として使用できる質の良い結晶質の $SrRuO_3$ 膜 36 を得る。

【0080】

なお、図 7（c）の工程のアニールを省いて、本工程の RTA により $TiC/TiSi$ 層 26, 26' を形成しても構わない。しかし、本実施形態のように、 $TiC/TiSi$ 層 26, 26' を形成するための熱工程と、 $SrRuO_3$ 膜 36 を結晶化するための熱工程をそれぞれ別にするにより、各熱工程を最適化できるという効果が得られる。

【0081】

次に、図 8（e）に示すように、 $SrRuO_3$ 膜 36 上にキャパシタ誘電体膜となる PZT 膜 25 をスパッタプロセスにより形成し、続いて酸素雰囲気中での RTA により PZT 膜 25 の結晶化を行う。

【0082】

上記酸素雰囲気中での RTA において、雰囲気中の一部の酸素は PZT 膜 25 中を拡散してキャパシタ下部電極（第一の $SrRuO_3$ 膜 36）にも達するが、 $TiC/TiSi$ 層 26' と SiC 膜 21 と $TiC/TiSi$ 層 26 との積層膜の酸素拡散抑制効果が高いため、キャパシタ下部電極の下にある多結晶シリコンプラグ 33 やチタンシリサイド膜 35 が酸化されることはない。

【0083】

また、 $TiC/TiSi$ 層 26' と SiC 膜 21 と $TiC/TiSi$ 層 26 と

の積層膜は、その上下に存在する膜 36, 35, 33 の構成材料と反応することはない。したがって、TiC/TiSi 層 26' と SiC 膜 21 と TiC/TiSi 層 26 との積層膜は、図 8 (e) のキャパシタ製造工程中の酸素雰囲気中での RTA において、何ら障害をもたらすことはない。すなわち、酸素欠損が無く、十分に結晶化された、特性の優れた PZT 膜 25 を得るために、酸素雰囲気下で高温の RTA を行っても、PZT 膜 25 と多結晶シリコンプラグ 33 との間の熱安定性は保たれる。

【0084】

また、SiC は上述したように熱的に極めて安定であるとともに、酸素透過性が極めて低い材料であることから、多結晶シリコンプラグ 33 の形成後に行われる、上記酸素雰囲気中での RTA を含む複数回の酸化性雰囲気下での熱処理の工程においても、SiC 膜 21 自体変化を受けず、多結晶シリコンプラグ 33 の酸化を極めて効率よく防止することができる。

【0085】

一方、多結晶シリコンプラグ 30 やチタンシリサイド膜 31 は、TiC/TiSi 層 26' と SiC 膜 21 と TiC/TiSi 層 26 との積層膜に加えてシリコン窒化膜 17、シリコン酸化膜 32 によっても覆われているので、当然に酸化されない。

【0086】

その後、図 8 (e) に示すように、PZT 膜 25 上にキャパシタ上部電極としての第二の SrRuO₃ 膜 37 をスパッタプロセスおよび RTA により形成し、第二の SrRuO₃ 膜 37 上にシリコン酸化膜からなる絶縁膜マスク 28 を形成する。

【0087】

次に、絶縁膜マスク 28 をマスクにして第二の SrRuO₃ 膜 37、PZT 膜 25 を RIE プロセスによりエッチングして、第二の SrRuO₃ 膜 37 からなるキャパシタ上部電極、PZT 膜 25 からなるキャパシタ誘電体膜を形成する。その後、絶縁膜マスク 28 を除去する。

【0088】

次に、図 9 (f) に示すように、第二の SrRuO_3 膜 37、PZT 膜 25 を覆うレジストマスク (不図示) を第一の SrRuO_3 膜 36 上に形成し、該レジストマスクをマスクにして、第一の SrRuO_3 膜 36、 TiC/TiSi 層 26、 SiC 膜 21、 TiC/TiSi 層 26' を RIE プロセスでエッチングすることで、キャパシタが得られる。

【0089】

次に、図 9 (g) に示すように、CVD プロセスによりシリコン酸化膜 29 を全面に形成し、続いて図 9 (f) の工程の RIE プロセスで PZT 膜 25 に生じたダメージを除去するために、酸素雰囲気下で 600℃ 程度の熱処理を行う。

【0090】

ここで、上記酸化性雰囲気下での熱処理においては、酸素はキャパシタ内にも浸透しダメージ回復に寄与する一方、一部はキャパシタ下部電極 (第一の SrRuO_3 膜 36) にも達するが、 TiC/TiSi 層 26' と SiC 膜 21 と TiC/TiSi 層 26 との積層膜の酸素拡散抑止効果が高いため、キャパシタ下部電極の下にある多結晶シリコンプラグ 33 やチタンシリサイド膜 35 が酸化されることはない。

【0091】

また、 TiC/TiSi 層 26' と SiC 膜 21 と TiC/TiSi 層 26 との積層膜は、その上下にある膜 36、35、33 の構成材料と反応することはない。したがって、 TiC/TiSi 層 26' と SiC 膜 21 と TiC/TiSi 層 26 との積層膜は、図 9 (g) の酸素雰囲気中での熱処理において、何ら障害をもたらすことはない。すなわち、PZT 膜 25 のダメージを十分に回復するために、酸素雰囲気下で高温の熱処理を行っても、PZT 膜 25 と多結晶シリコンプラグ 33 との間の熱安定性は保たれる。

【0092】

この後、図には示さないが、周知の工程、すなわち MOS トランジスタのソース/ドレイン拡散層 12 の他方に連通するコンタクトの形成工程、ドライブ線の形成工程、ビット線の形成工程、上層メタル配線の配線工程を経て、FeRAM が完成することになる。

【0093】

上記周知の工程で必要となるレジスト（エッチングマスク）は、第1の実施形態と同様に、キャパシタを凸部とする段差が十分に小さいので、容易に正確に形成することができる。

【0094】

以上述べたように本実施形態によれば、バリア層として酸素拡散抑制効果の高いTiC/TiSi層26'とSiC膜21とTiC/TiSi層26との積層膜を使用することで、バリア層の薄膜化を図れるとともに、PZT膜25の結晶化やダメージ回復等を目的とした酸素雰囲気下での高温の熱処理による、多結晶シリコンプラグ33の酸化等を効果的に防止でき、これにより特性・信頼性の高いCOP型FeRAMセルを備えたFeRAMを実現することが可能となる。

【0095】

本発明者等は、本実施形態のキャパシタ／プラグ構造に類似した試料を用いて実験を行い本実施形態の効果を確認した。具体的には、まず、多結晶シリコンプラグ上に、チタンシリサイド膜（30nm）、SiC膜（7nm）、チタン膜（2.5nm）、イリジウム膜（50nm）、白金膜（10nm）、SrRuO₃膜（10nm）、PZT膜（130nm）を順次堆積し、試料（Si/TiSi/SiC/Ti/Ir/Pt/SrRuO₃/PZT構造）を作成し、次に上記試料に650℃、1時間の酸素アニールを施し、その後の各元素の深さ方向の濃度プロファイルをSIMSによって測定した。

【0096】

その分析結果（電圧－残留分極(V-Pr)特性）を図10に示す。図10から、SiC膜下の多結晶シリコンプラグと、SiC膜上のIr膜、SrRuO₃膜およびPt膜（電極）とに関して、プラグ材料（Si）と電極材料（Ir, Ru, Pt）との間の反応および相互拡散は認められないことが分かる。

【0097】

また、図11（a）および（b）に、それぞれ、上記試料に上記酸素アニールを施し、該酸素アニールが施された試料上にキャパシタ上部電極としてのSrRuO₃膜、白金膜を順次形成して得られるキャパシタ、および上記試料からTi

膜を省いたものものを用いて同様に形成したキャパシタのヒステリシス特性を示す。

【0098】

図11から、SiC膜とTi膜との積層膜を含む試料を用いることにより、Ti膜を省いたSiC膜単独の試料に比べて、良好なヒステリシス特性が得られることが分かる。

【0099】

なお、本実施形態においても、第1の実施形態と同様に、チタン膜22の代わりに、例えばジルコニウム膜、ハフニウム膜、バナジウム膜、ニオブ膜、またはタンタル膜も用いることが可能である。また、キャパシタ材料に関しても、第1の実施形態と同様に、PZTの変わりに、SBTやBIT等の強誘電体材料を用いることができる。

【0100】

また、本実施形態では、キャパシタ上部電極・下部電極の材料にはSrRuO₃を用いているが、このような材料に限定されることはない。例えば、BaRuO₃等の導電性複合酸化物、または貴金属、例えば白金、イリジウムもしくはルテニウム、さらにはこれらの貴金属の酸化物も使用することが可能である。

【0101】

(第3の実施形態)

図12～図13は、本発明の第3の実施形態に係るCOP型FeRAMセルの製造工程を示す断面図である。なお、図1～図5と対応する部分には図1～図5と同一符号を付してあり、詳細な説明は省略する。

【0102】

本実施形態が第1の実施形態と異なる点は、キャパシタ下に位置するWプラグをSiC膜とTiC/TiSi層との積層膜で覆うことにある。

【0103】

まず、第1の実施形態と同様に、図1(a)～図1(c)の工程を行い、続いて図12(a)に示すように、コンタクトホール14の内壁を被覆するように厚さ10nm以下のSiC膜38をCVDプロセスにより全面に形成し、その後S

i C 膜 38 上に厚さ 5 nm の程度の薄いチタン膜 39 をスパッタプロセスにより形成する。ここで、S i C 膜 38 をスパッタプロセスにより形成し、チタン膜 39 を C V D プロセスにより形成しても構わない。

【0104】

次に、図 12 (b) に示すように、不活性ガスまたは真空中でアニールを行って、S i C 膜 38 とチタン膜 39 とを反応させ、S i C 膜 38 の表面に T i C / T i S i 層 40 を形成し、続いてコンタクトホール 14 内を埋め込むように、W プラグとなる W 膜 16 を全面に形成する。

【0105】

次に、図 13 (c) に示すように、コンタクトホール 14 外部の不要な W 膜 16、S i C 膜 38 および T i C / T i S i 層 40 を例えば C M P プロセスにより除去する。

【0106】

次に、図 13 (c) に示すように、シリコン窒化膜 17 を全面に形成し、続いてキャパシタに接続される方のソース／ドレイン拡散層 12 に達するコンタクトホール 18 を開口し、その後図 12 (a)、図 12 (b) の工程と同様に、コンタクトホール 18 内に S i C 膜 41 および T i C / T i S i 層 42 を介して W プラグ 20 を埋め込み形成する。

【0107】

次に、第 1 の実施形態で説明した図 3 (g) ～図 5 (k) の工程を行い、続いて図 4 (i) の工程におけるエッチング加工時に P Z T 膜 25 に生じたダメージを除去するために、酸素雰囲気下で 600℃ 程度の熱処理を行う。この段階の断面図を図 13 (d) に示す。

【0108】

このとき、第 1 の実施形態と同様に、雰囲気中の一部の酸素はキャパシタ下部電極（イリジウム膜 23、第一の白金膜 24）にも達するが、イリジウム膜 23 自体ある程度の酸素拡散抑止効果があることに加えて、S i C 膜 21 と T i C / T i S i 層 26 の積層膜の酸素拡散抑制効果が高いため、キャパシタ下部電極の下にある W プラグ 20 が酸化されることはない。

【0109】

また、第1の実施形態と同様に、Wプラグ20の形成後の行われる複数回の酸化性雰囲気下での熱処理の工程においても、SiC膜21自体変化を受けず、多結晶シリコンプラグ33の酸化を極めて効率よく防止することができる。さらに、第1の実施形態と同様に、SiC膜21とTiC/TiSi層26との積層膜は、上記キャパシタ製造工程に伴う酸素雰囲気中での熱処理において、何ら障害をもたらすことはなく、PZT膜25とWプラグ20との間の熱安定性は保たれる。

【0110】

一方、Wプラグ16は、SiC膜21とTiC/TiSi層26の積層膜に加えて、シリコン窒化膜17によっても覆われているので、当然に酸化されない。

【0111】

この後、図には示さないが、周知の工程、すなわちMOSトランジスタのソース/ドレイン拡散層10の他方に連通するコンタクトの形成工程、ドライブ線の形成工程、ビット線の形成工程、上層メタル配線の配線工程を経て、FeRAMが完成することになる。

【0112】

本実施形態でも、第1の実施形態と同様に、バリア層の薄膜化を図れるとともに、Wプラグ20の酸化等を効果的に防止でき、特性・信頼性の高いCOP型FeRAMセルを備えたFeRAMを実現することが可能となる。

【0113】

また、本実施形態においても、第1の実施形態で述べたPZT以外のキャパシタ誘電体膜の材料、白金以外のキャパシタ上部電極・下部電極の材料を使用することが可能である。

【0114】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、キャパシタの上層にビット線が配置される構造のメモリセルについて説明したが、より集積度を増すためには、ビット線の形成後にキャパシタが配置される構造のメモリセルにも本発明を適用することができる。

【0115】

また、本発明は、図14(a)に示すように、セルトランジスタ(T)のソース／ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続したセル構造を有する強誘電体メモリ(TC並列ユニット直列接続型強誘電体メモリ)にも適用できる。図14(b)に、図13(a)に示したセル構造の断面図を示す。図中、51は半導体基板、52はソース／ドレイン拡散層、53はゲート絶縁膜、54はゲート電極、55は層間絶縁膜、56はキャパシタ下部電極、57はキャパシタ下部電極とセルトランジスタTの一方のソース／ドレイン拡散層とを接続するプラグ、58は強誘電体からなるキャパシタ誘電体膜、59はキャパシタ上部電極、60は層間絶縁膜、61はキャパシタ上部電極とセルトランジスタTの他方のソース／ドレイン拡散層とを接続する導電性プラグをそれぞれ示している。

【0116】

また、本発明は、 Ta_2O_5 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 等の高誘電体材料をキャパシタ誘電体膜に使用したスタック型DRAMにも適用できる。この場合も、プラグ／キャパシタ構造に関して上記実施形態と同様の効果が得られる。

【0117】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0118】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0119】

【発明の効果】

以上詳説したように本発明によれば、導電性プラグ／電極構造を形成した後、酸化性雰囲気下での熱処理を必要とする場合における上記導電性プラグの酸化を微細化の妨げを招かずに効果的に防止できる半導体装置およびその製造方法を実

現できるようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る C O P 型 F e R A M セルの製造工程を示す断面図

【図 2】

図 1 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 3】

図 2 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 4】

図 3 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 5】

図 4 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 6】

酸素アニールが施された試料 (W / S i C / T i / P t 構造) の顕微鏡写真 (断面 S E M 写真)

【図 7】

本発明の第 2 の実施形態に係る C O P 型 F e R A M セルの製造工程を示す断面図

【図 8】

図 6 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 9】

図 7 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 10】

酸素アニールが施された試料 (S i / T i S i / S i C / T i / I r / P t / S r R u O₃ / P Z T 構造) の S I M S 分析の結果を示す図

【図 11】

図 10 の試料を用いて形成したキャパシタおよび同試料から T i 膜を省いた構造を用いて形成したキャパシタのヒステリシス特性を示す図

【図 1 2】

本発明の第 3 の実施形態に係る C O P 型 F e R A M セルの製造工程を示す断面図

【図 1 3】

図 8 に続く同 C O P 型 F e R A M セルの製造工程を示す断面図

【図 1 4】

本発明の他の実施形態を説明するための等価回路図および断面図

【図 1 5】

従来の C O P 構造を示す断面図

【符号の説明】

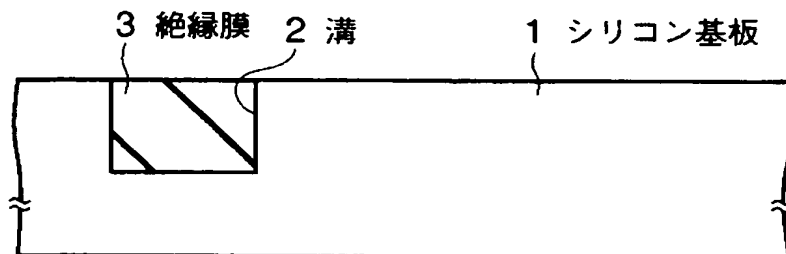
- 1 … p 型シリコン基板
- 2 … 溝
- 3 … 絶縁膜
- 4 … M O S トランジスタ
- 5 … シリコン酸化膜
- 6 … n 型多結晶シリコン膜
- 7 … タングステンシリサイド膜
- 8 … シリコン窒化膜
- 9 … ゲート電極
- 10 … エクステンション
- 11 … ゲート側壁絶縁膜
- 12 … ソース／ドレイン拡散層
- 13 … シリコン酸化膜
- 14 … コンタクトホール
- 15 … 窒化チタン膜
- 16 … W プラグ
- 17 … シリコン窒化膜
- 18 … コンタクトホール
- 19 … 窒化チタン膜

- 2 0 … W プラグ
- 2 1 … S i C 膜
- 2 2 … チタン膜
- 2 3 … イリジウム膜 (キャパシタ下部電極)
- 2 4 … 第一の白金膜 (キャパシタ下部電極)
- 2 5 … P Z T 膜 (キャパシタ誘電体膜)
- 2 6 … T i C / T i S i 層
- 2 7 … 第二の白金膜 (キャパシタ上部電極)
- 2 8 … 絶縁膜マスク
- 2 9 … シリコン酸化膜
- 3 0 … 多結晶シリコンプラグ
- 3 1 … チタンシリサイド膜
- 3 2 … シリコン酸化膜
- 3 3 … 多結晶シリコンプラグ
- 3 4 … チタン膜
- 3 5 … チタンシリサイド膜
- 3 6 … 第一の S r R u O₃ 膜 (キャパシタ下部電極)
- 3 7 … 第二の S r R u O₃ 膜 (キャパシタ上部電極)
- 3 8 … S i C 膜
- 3 9 … チタン膜
- 4 0 … T i C / T i S i 層

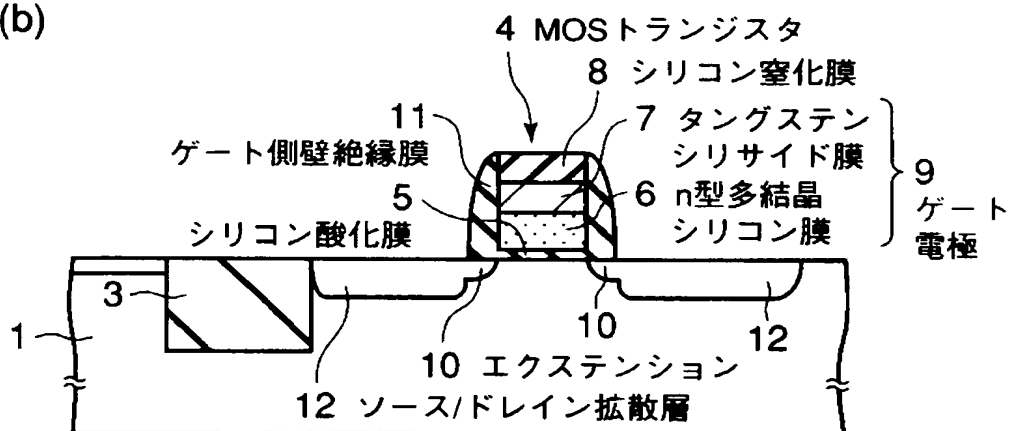
【書類名】 図面

【図 1】

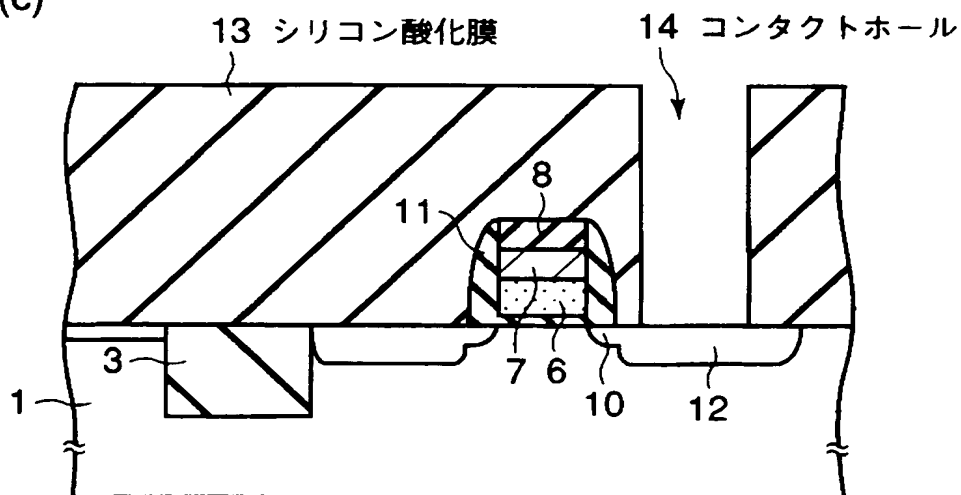
(a)



(b)

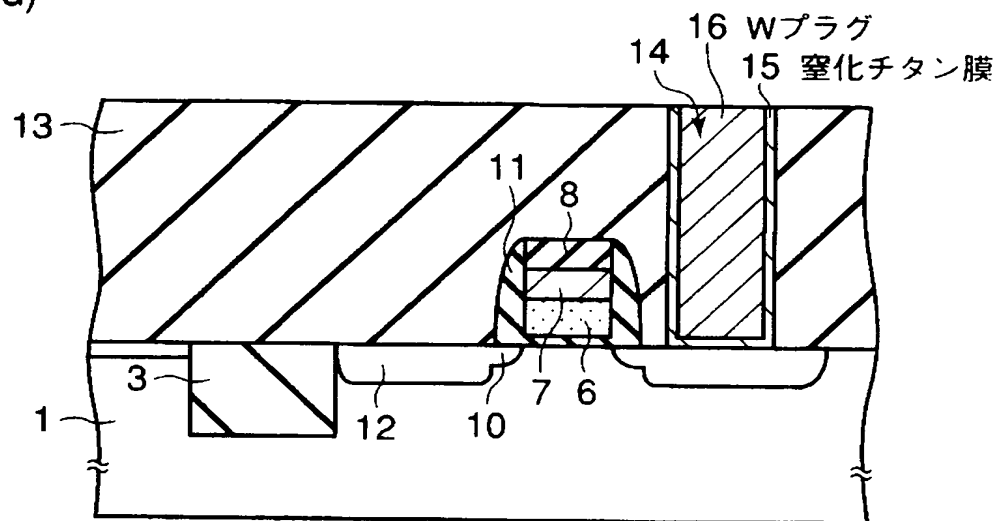


(c)

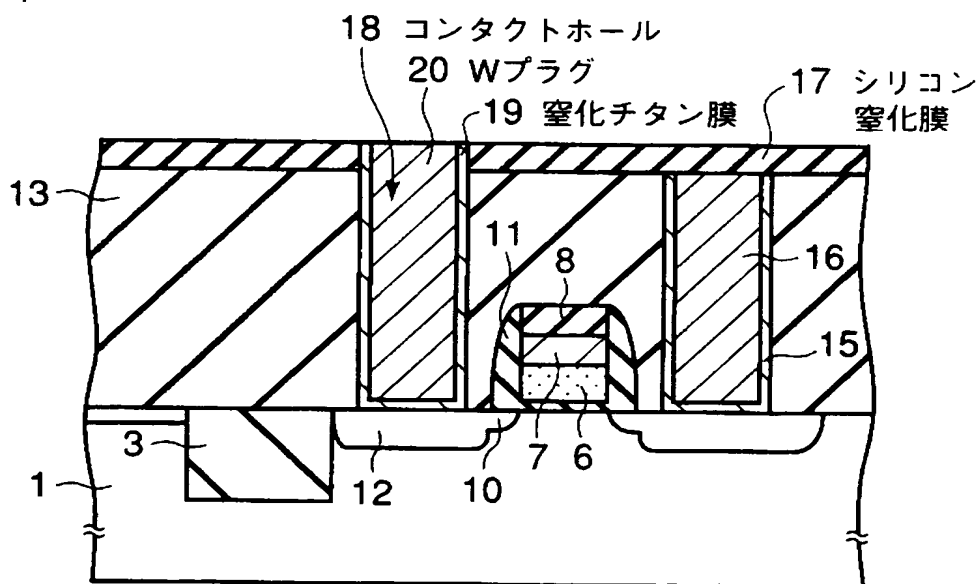


【図 2】

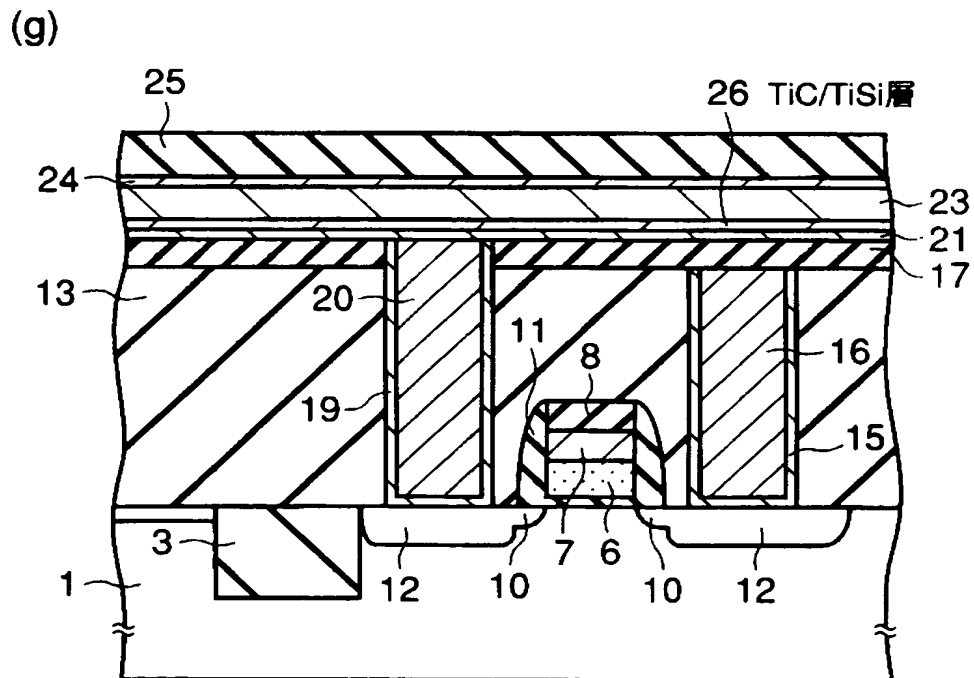
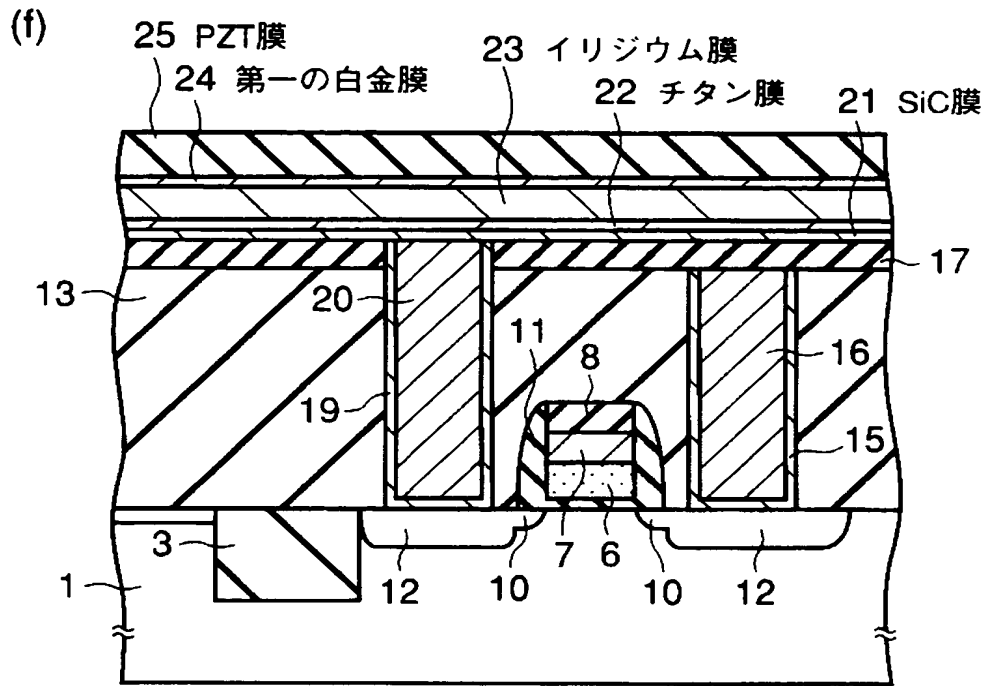
(d)



(e)

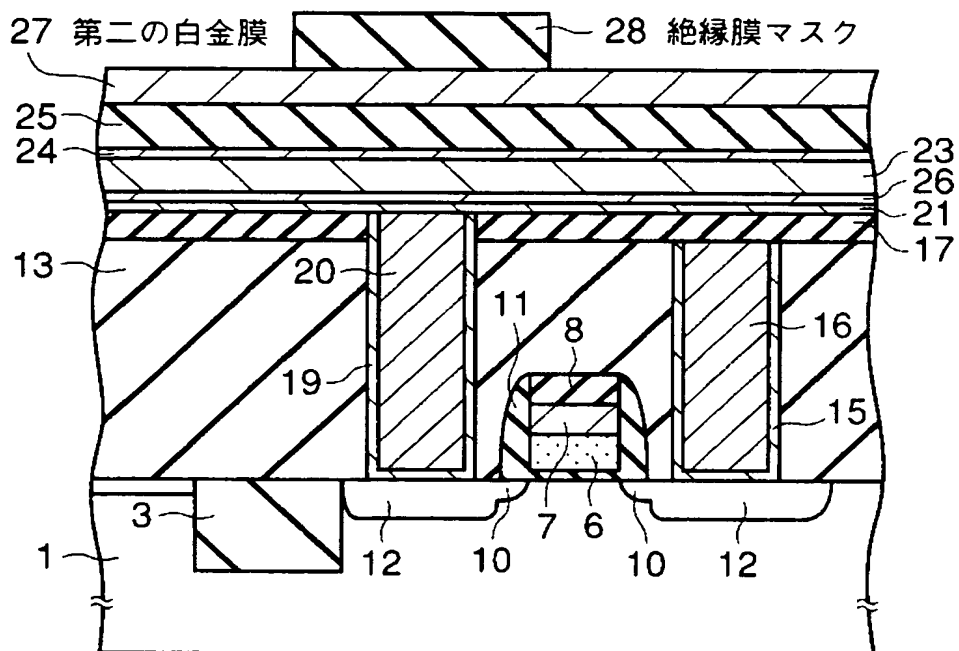


【図 3】

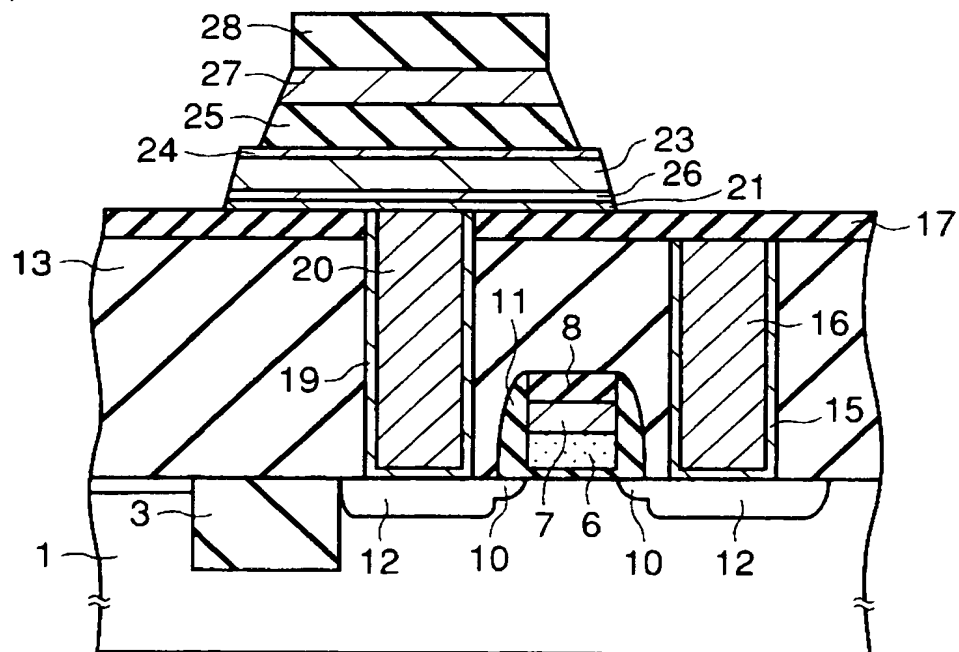


【図 4】

(h)

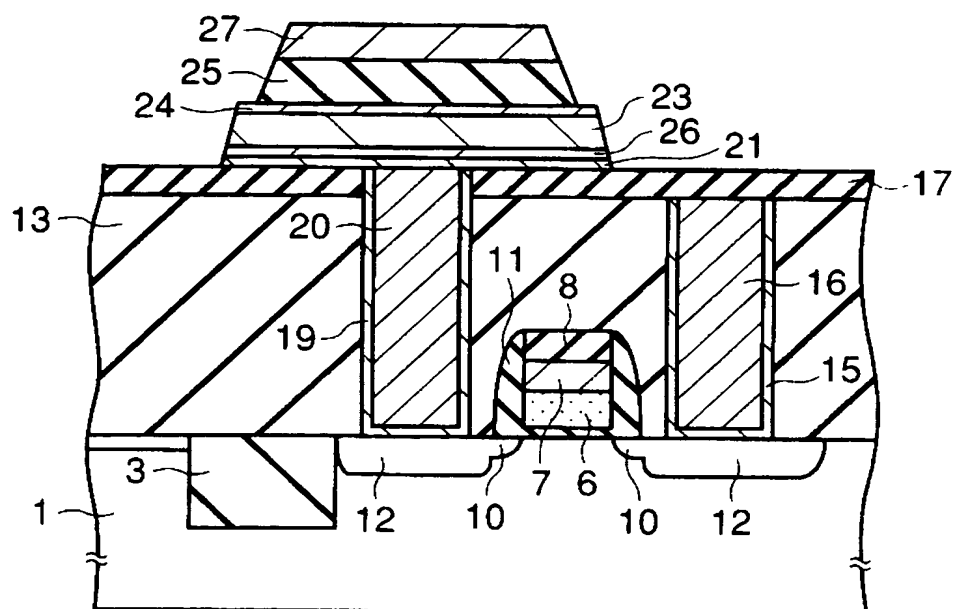


(i)

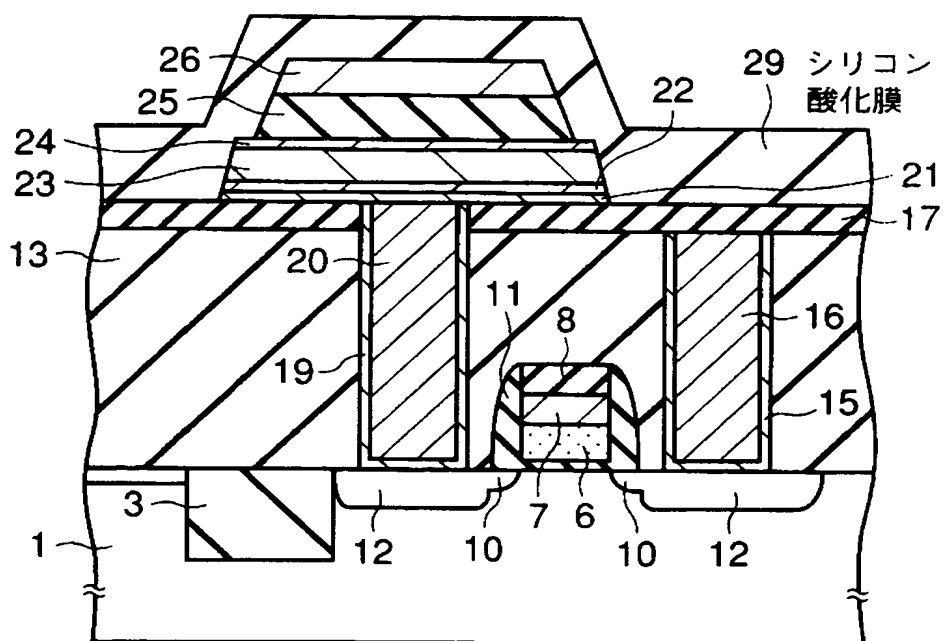


【図 5】

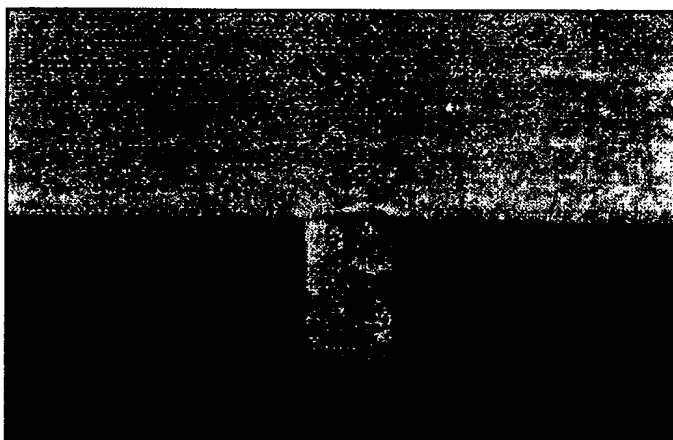
(j)



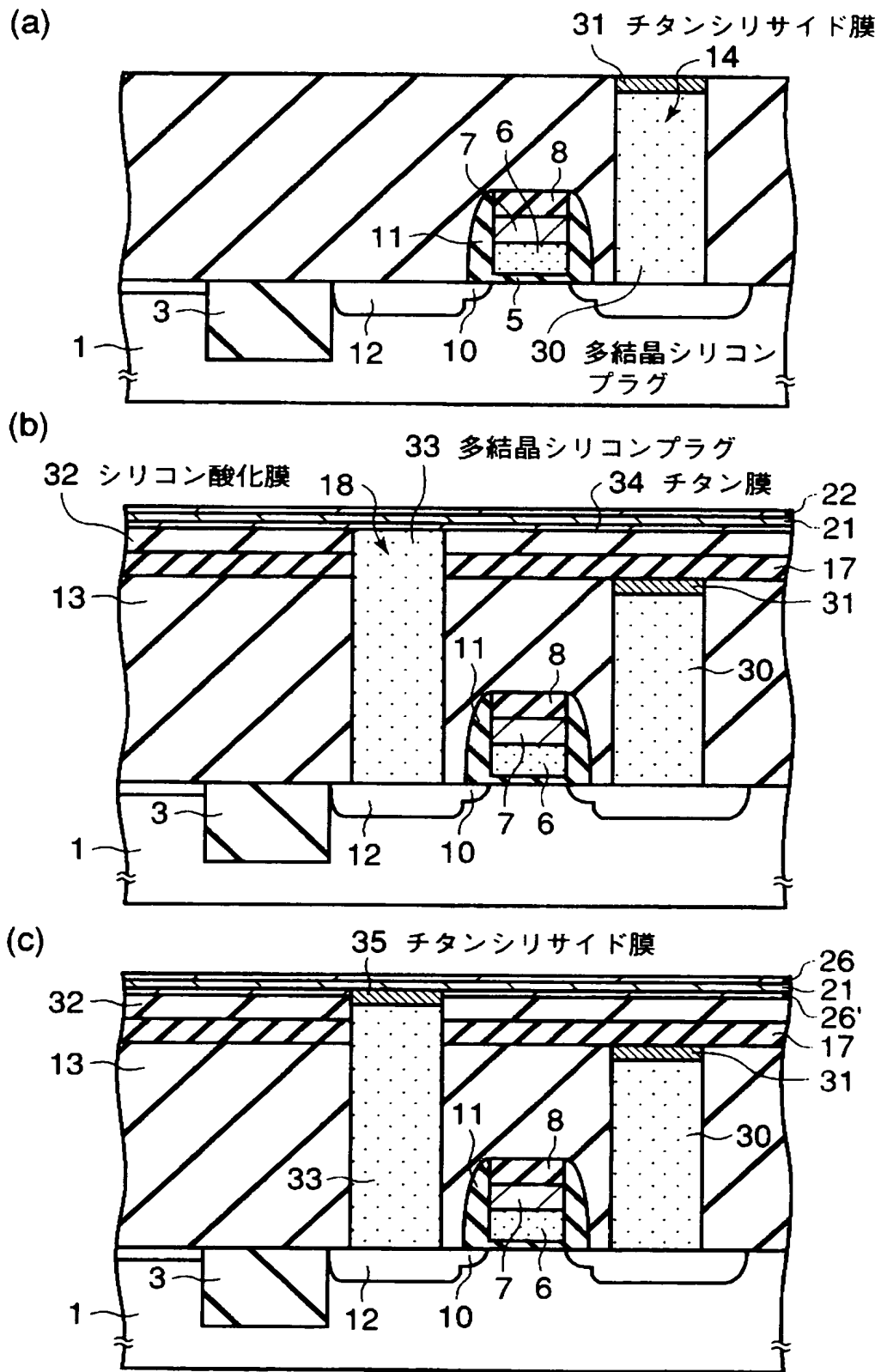
(k)



【図 6】

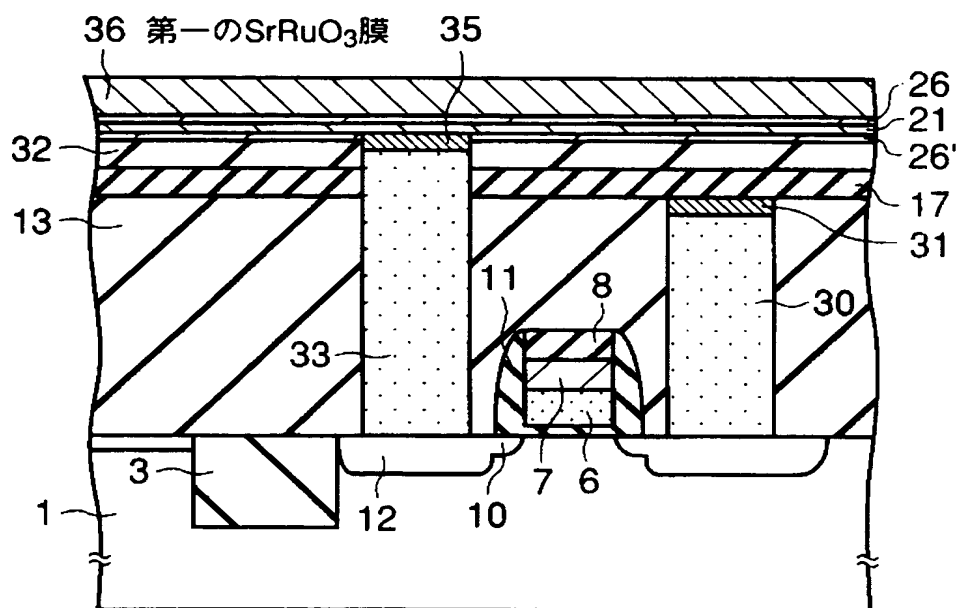


【図7】

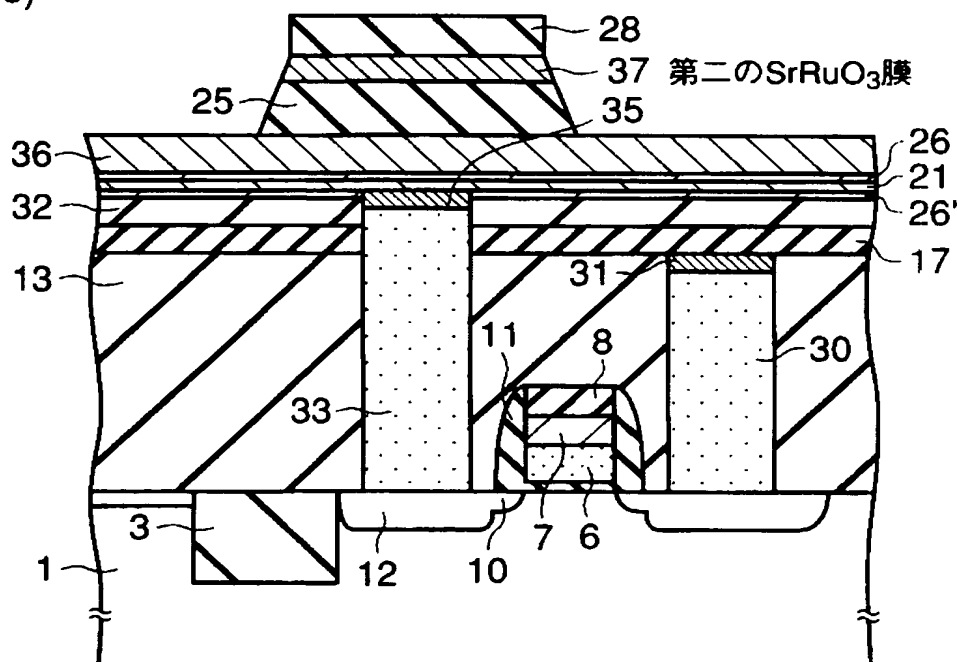


【図 8】

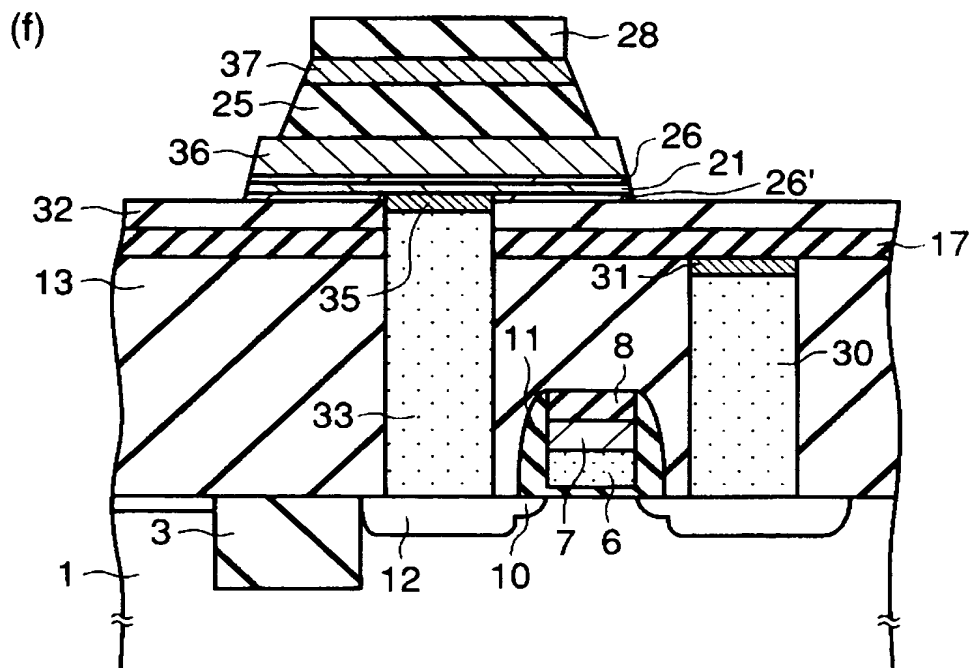
(d)



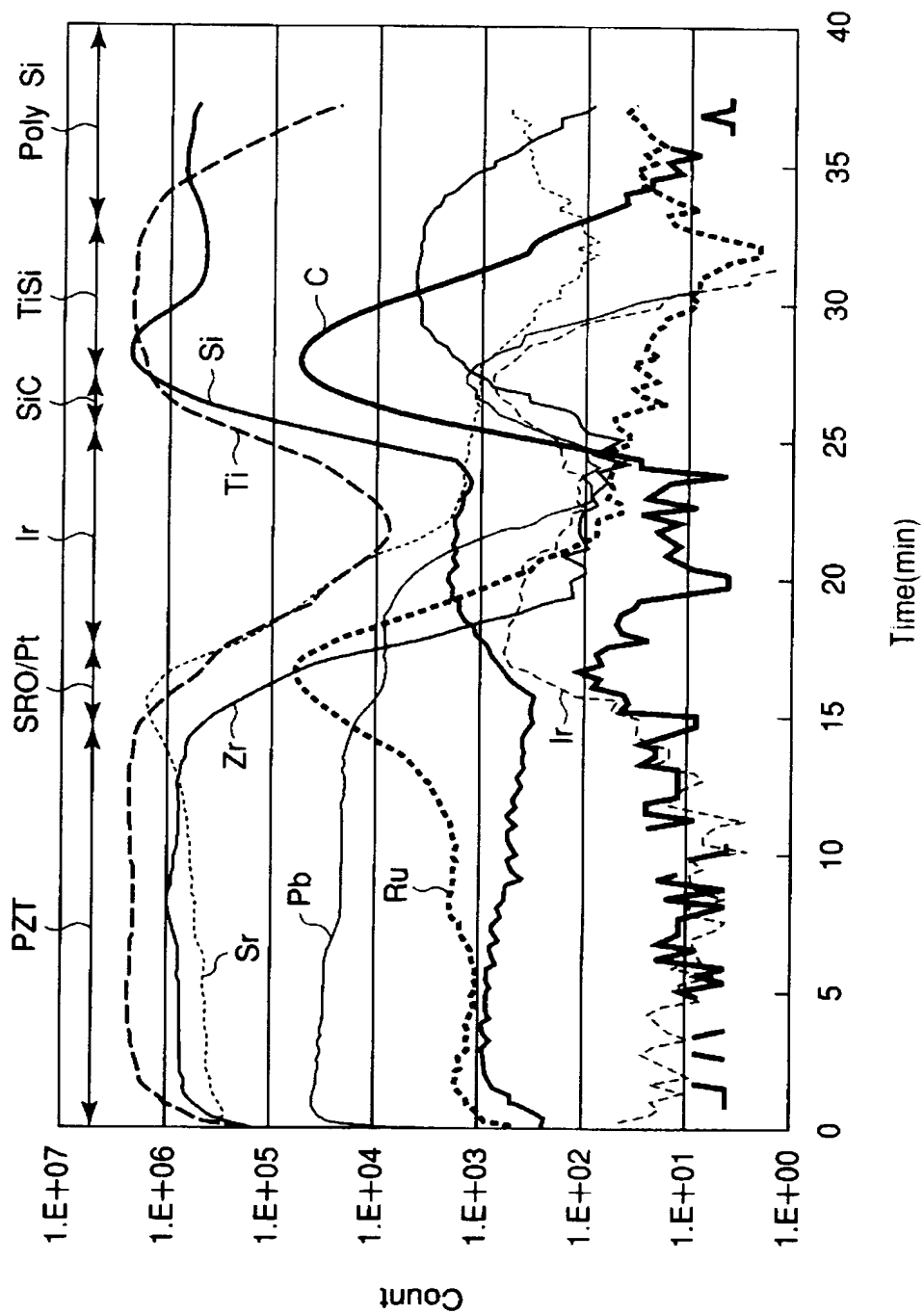
(e)



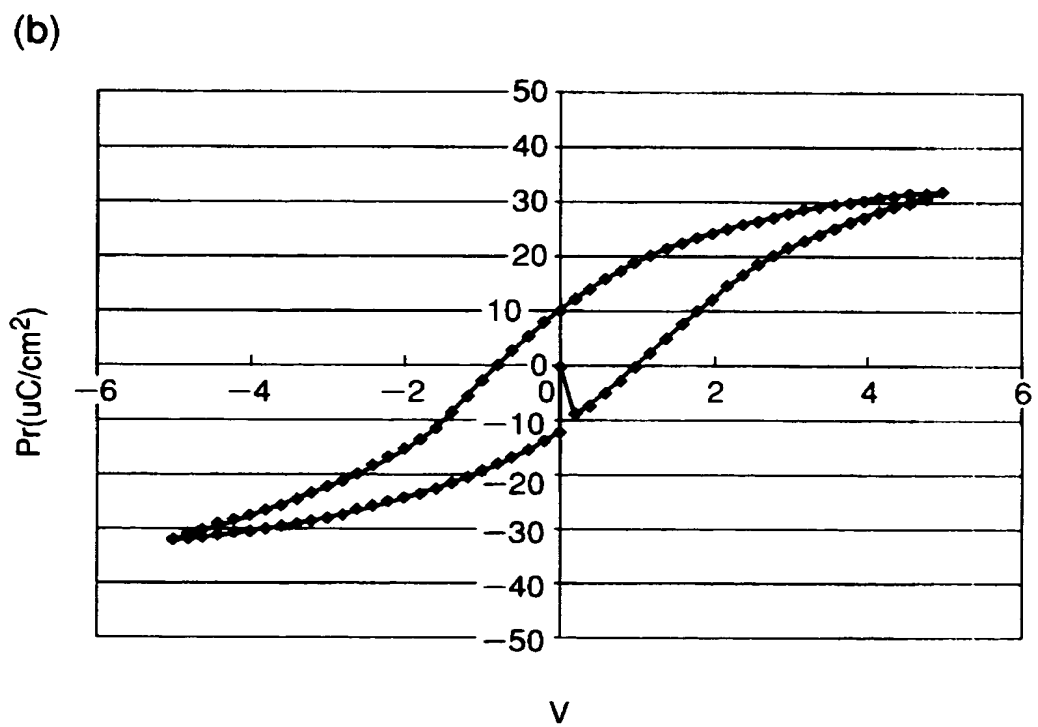
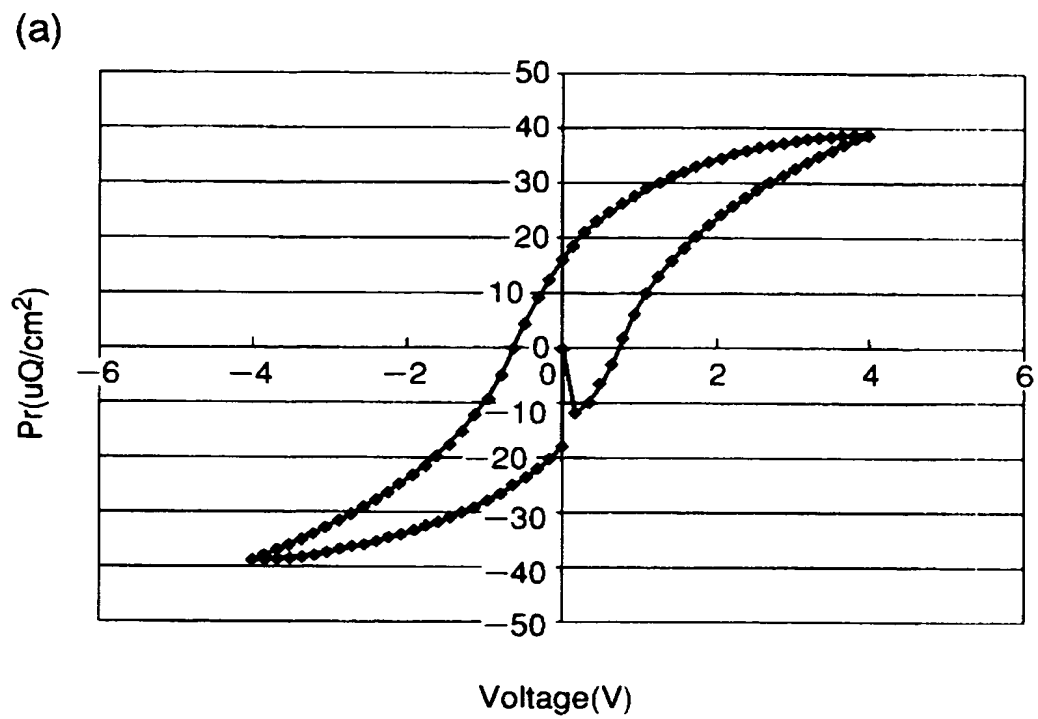
【図 9】



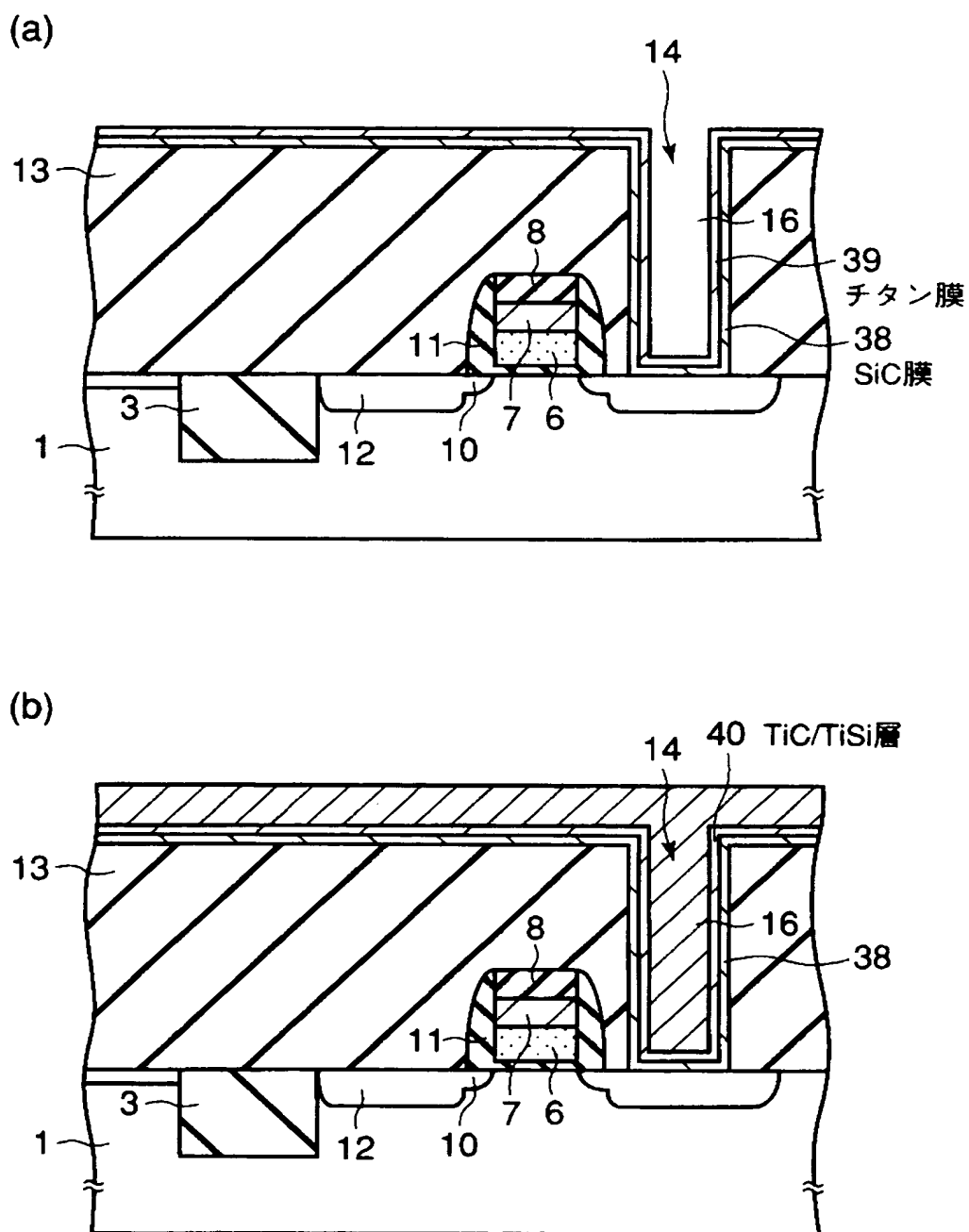
【図 10】



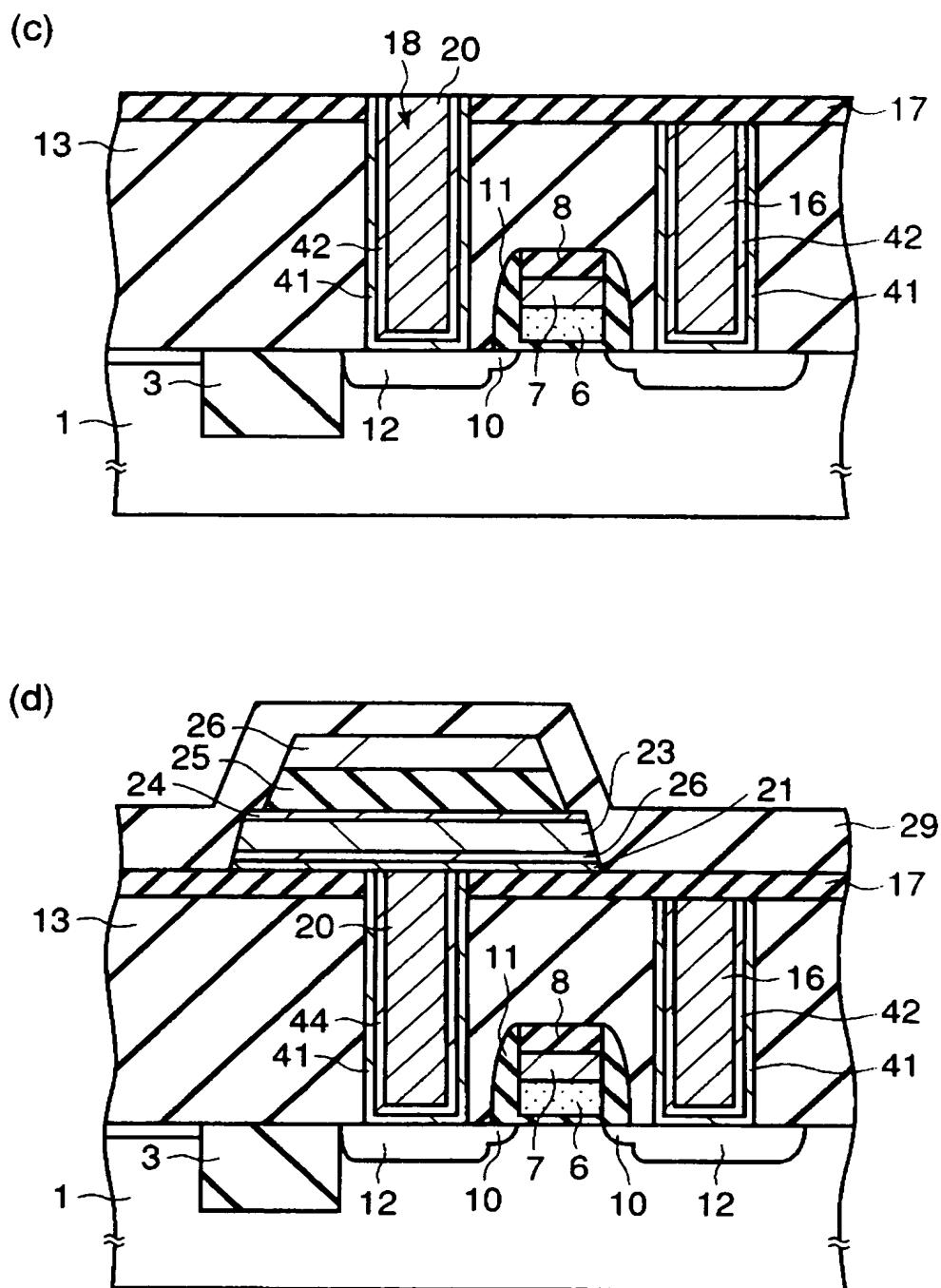
【図 11】



【図 12】

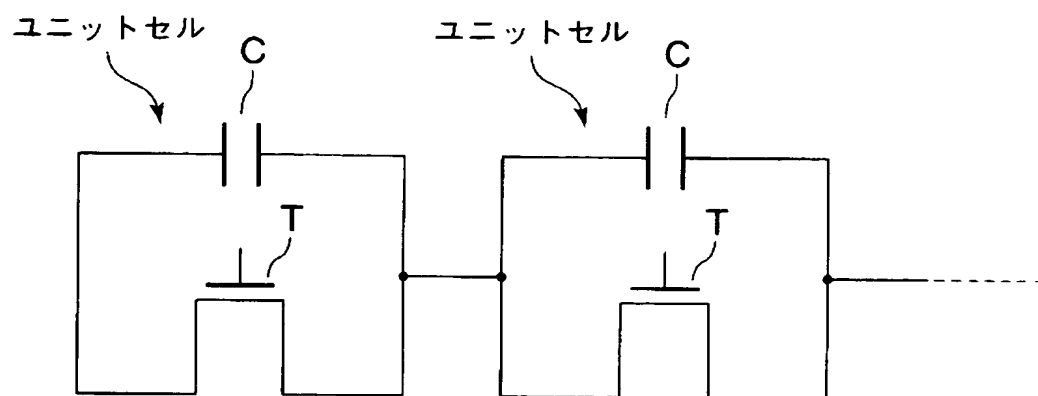


【図 13】

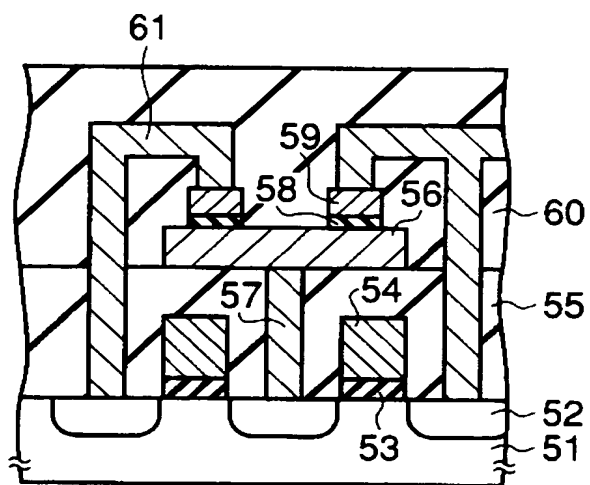


【図 14】

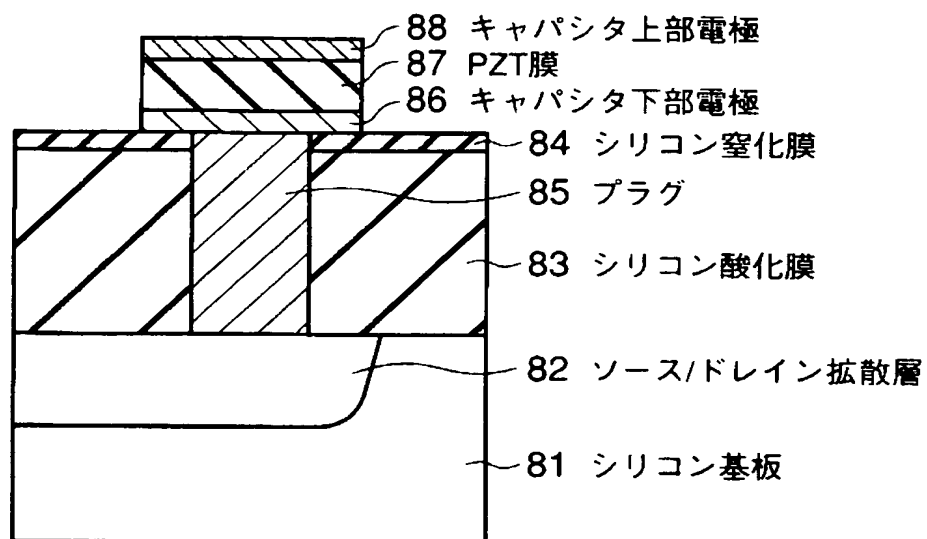
(a)



(b)



【図 15】



【書類名】 要約書

【要約】

【課題】 C O P 型 F e R A M セルのキャパシタ下の W プラグの酸化を薄いバリア層で防止すること。

【解決手段】 S i C 膜 2 1 と T i C / T i S i 層 2 6 とからなる十数 n m 程度以下の積層膜で、 W プラグ 2 0 の上面を覆う。

【選択図】 図 5

特願 2 0 0 2 - 2 9 3 9 0 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝